

특 1993-0005248

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 29/78	(11) 공개번호 특 1993-0005248
(21) 출원번호 1992-0015031	(43) 공개일자 1993년03월23일
(22) 출원일자 1992년08월21일	
(30) 우선권주장	91-237100 1991년08월23일 일본(JP) 91-340336 1991년11월29일 일본(JP) 92-34194 1992년01월24일 일본(JP) 92-38637 1992년01월29일 일본(JP) 92-54322 1992년02월05일 일본(JP)
(71) 출원인 가부시키기이사 한도오띠이 에너루기 전큐쇼 일본국 가나가와현 아쓰기시 하세 398 야마자끼 순페이	야마자끼 순페이 일본국 토오쿄 세타가야구 7조메 기타기라스아마 21-21 마세 아키라 일본국 아이치현 오카자키시 이가초 3-25-3 히로카 마사야키 일본국 가나가와현 아세하라시 시라네 533-10 다케무라 야스히코 일본국 가나가와현 아쓰기시 하세 391-1 플랫 아쓰기 208 장홍영 일본국 가나가와현 암마토시 후카미다이 1-10-15 파레스 미야기미 302 우오치 히데키 일본국 가나가와현 아쓰기시 하세 391-1 플랫 아쓰기 105 네모토 히데키 일본국 가나가와현 아쓰기시 하세 304-1 플랫 SEL-B 102 황의만
(72) 발명자 야마자끼 순페이 일본국 토오쿄 세타가야구 7조메 기타기라스아마 21-21 마세 아키라 일본국 아이치현 오카자키시 이가초 3-25-3 히로카 마사야키 일본국 가나가와현 아세하라시 시라네 533-10 다케무라 야스히코 일본국 가나가와현 아쓰기시 하세 391-1 플랫 아쓰기 208 장홍영 일본국 가나가와현 암마토시 후카미다이 1-10-15 파레스 미야기미 302 우오치 히데키 일본국 가나가와현 아쓰기시 하세 391-1 플랫 아쓰기 105 네모토 히데키 일본국 가나가와현 아쓰기시 하세 304-1 플랫 SEL-B 102 황의만	
(74) 대리인 황의만	

【서류구성】

(54) 반도체 장치와 그 제작방법

요약

내용 없음.

도표도

도1

영세서

(발명의 영성)

반도체 장치와 그 제작방법

[도면의 간단한 설명]

제1도는 본 발명에 의한 반도체 장치의 구조도,

제4도는 본 발명에 의한 반도체 장치의 전류전압 특성도,

제6도는 본 실시예에 의한 액티브 애프터릭스형 액정 전기광학장치의 회로도.

본 내용은 일부공개 건이므로 전문 내용을 수록하지 않았음

(7) 청구의 범위

참고할 1.

절연 기판상에 적어도 반도체층, 절연막층 및 도체층을 갖는 절연게이트형 전자회로 트랜지스터에 있어서, 채널길이가 게이트 전극의 채널길이 방향의 길이보다도 기점을 특징으로 하는 반도체 장치.

정구한 2. 제 2회에 있어서, 채널길이는 게이트전극의 채널길이 방향의 길이 보다도 게이트전극 표면에 형성된 산화물층 두께의 개략 20배 정도 간접을 특징으로 하는 반도체 장치.

첨구합 3. 절연 기판상에 적어도 절연막층 및 도체층을 갖는 절연기미트형 전계효과 트랜지스터의 제작 방법에 있어서, 반도체층 및 게이트 절연막층을 혼성한 후에 양극산화 가능한 재료에 의해 게이트전극층을 혼성한 후에 상기 반도체층 위에 또는 그 위에 형성한 후에 양극산화 가능한 재료에 의해 게이트전극층을 혼성한 후에 상기 게이트전극부 표면을 양극산화하고 그 후에 면적처리공정을 갖는 점을 특징으로 하는 반도체 장치의 제작방법

평가항 4. 제32번에 있어서, 반도계층 상의 절연막층을 형성한 후, 그 절연막층에 인자를 도입하는 공정을 갖는 점을 특징으로 하는 반도체 장치의 제작방법:

행구형 5. 절연 기관상에 적어도 반도체층, 절연막층 및 도체층을 갖는 절연게이트형 전자회로 트랜지스터의 제작방법에 있어서, 반도체층 및 게이트 절연막층을 형성한 후에 양극산화 가능한 재료에 의해 게이트 전극부를 형성한 후에 상기 게이트전극부 표면을 양극산화하고, 그후에 상기 반도체층에 평형화 또는 n형화시키는 물질을 이온을 주입하여 소스 또는 드레인 영역을 형성한 후에, 열처리공정을 갖는 절차로 이루어지는 반도체장치의 제작방법

청구항 6. 1개의 절연 기판상에 형성된 적어도 2개의 전계효과 트랜지스터를 갖는 회로에 있어서, 1개의 트랜지스터의 오프셋 영역의 폭은 다른 트랜지스터의 오프셋 영역의 폭보다 긴점을 특징으로 하는 반도체 장치

원구한 7. 1개의 점 연기판상에 형성된 적어도 2개의 전계효과 트랜지스터를 갖는 회로를 제작하는 방법에 관하여, 금속 폴은 반도체 재료로 이루어지는 적어도 2개의 트랜지스터의 게이트 전극을 전기적으로 접속하여 배선을 형성하는 공정과, 상기 배선에 전기기를 통하여 양극산화를 행하는 공정과 상기 트랜지스터를, 적어도 하나의 트랜지스터의 게이트전극을 상기 배선으로 부터 전기적으로 분리하는 공정과, 제작된 상기 배선에 전류를 흘려서 양극산화를 행하는 공정을 볼점으로 하는 반도체 장치의 제작방법은

첨구한 8. 금속의 게임전국과, 그 게임전국을 포함하여 형성된 양국산화롭과, 박막현의 체납영역과, 그 치남영역과를 끼워 형성된 한성의 제1의 불순물 영역과, 각 제1의 불순물을 영역에 인접한 제2의 불순물 영역을 갖는 절을 들것으로 하는 박막현의 절연게임현 반도체 장치.

청구항 9. 제8항에 있어서, 제1의 불순물 영역은 비정질 상태인 점을 특징으로 하는 박막형의 절연개미 트랜지istor

첨구항 10. 제 1항에 있어서, 그 반도체장치 절연기판상에 형성되고, 그 소스 쪽은 드레인의 어느 한쪽
은 쿠퍼시터 소자에 접속되어 있는 절률을 둘 줄 알게 하는 반도체 장치

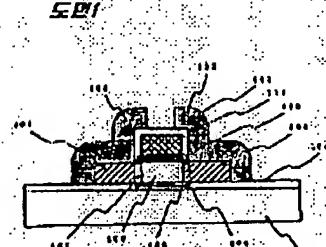
제10장에 있어서 그 반도체장치는 표시장치의 확산의 구동에 이용되는 전류를 투과할 때

결구학 12. 제8학기 있어서 그 반도체 장치는 접연기작성에 형성되고 그 소스 흘은 드레인의 이는 흐름

쪽은 캐퍼시티 소자에 접속되어 있는 점을 특징으로 하

•

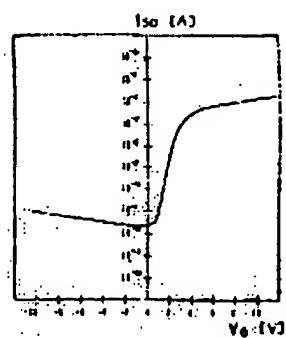
232



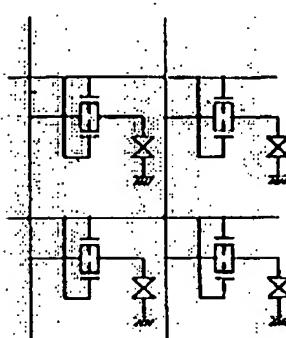
3-2

BEST AVAILABLE COPY

504



505



3-3

BEST AVAILABLE COPY